

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-241880
(43)Date of publication of application : 21.09.1993

(51)Int.Cl. G06F 11/22
G06F 11/34
G06F 15/78

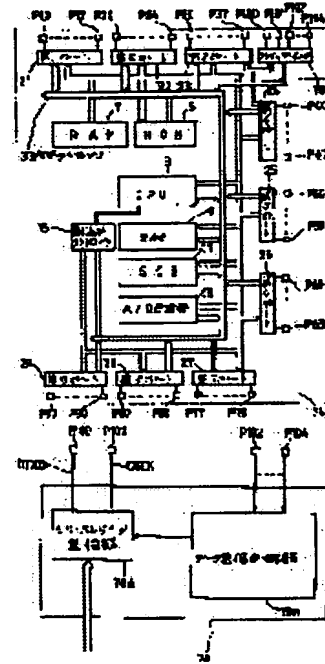
(21)Application number : 04-039222 (71)Applicant : HITACHI LTD
(22)Date of filing : 26.02.1992 (72)Inventor : OTA YUJI

(54) MICROPROCESSOR AND EMULATOR

(57)Abstract:

PURPOSE: To provide a technique enabling the external output of much more debug information with few number of exclusive lead terminal.

CONSTITUTION: The number of exclusive lead terminal for a debug information output is reduced by providing a debug monitor 78 including a serial data transmission part 78A for converting the debug information of the inside of a chip into serial data and outputting it to the outside of the chip and a data transmission control part 78B for controlling the serial data output by this serial data transmission part 78A, converting the debug information at the inside of a processor 74 into serial data and outputting it to the outside of the chip.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-241880

(43) 公開日 平成5年(1993)9月21日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F	11/22	3 4 0 A	8323-5B	
	11/34	P	9290-5B	
	15/78	5 1 0 K	7530-5L	

審査請求 未請求 請求項の数 5 (全 8 頁)

(21) 出願番号 特願平4-39222

(22) 出願日 平成4年(1992)2月26日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 太田 祐二

東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

(74) 代理人 弁理士 小川 勝男

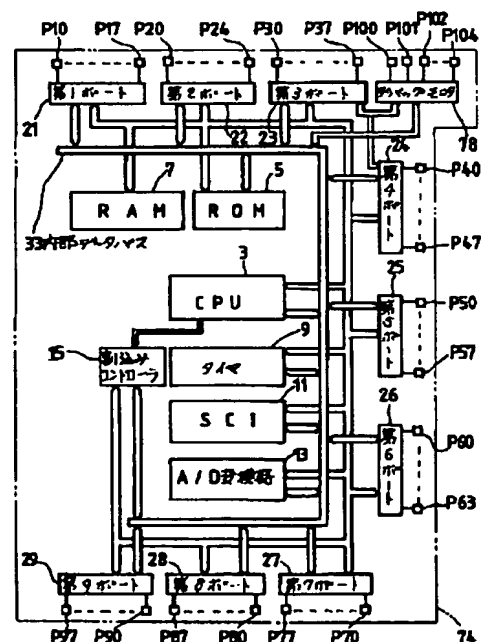
(54) 【発明の名称】 マイクロプロセッサ、及びエミュレータ

(57) 【要約】

【目的】 本発明の目的は、少ない専用リード端子数で、より多くのデバッグ情報の外部出力を可能とする技術を提供することにある。

【構成】 チップ内部のデバッグ情報をシリアルデータに変換してそれをチップの外部に出力するためのデータ送信部78Aと、このデータ送信部78Aによるシリアルデータ出力を制御するためのデータ送信制御部78Bとを含むデバッグモニタ78を設け、プロセッサ74内部のデバッグ情報をシリアルデータに変換してチップ外部に出力することにより、デバッグ情報出力のための専用リード端子の減少を図る。

(図 3)



【特許請求の範囲】

【請求項1】 デバッグ対象とされるターゲットプログラムを実行するマイクロプロセッサにおいて、チップ内部のデバッグ情報をシリアルデータに変換してそれをチップの外部に出力するためのデータ送信部と、このデータ送信部によるシリアルデータ出力を制御するためのデータ送信制御部とを含むことを特徴とするマイクロプロセッサ。

【請求項2】 上記データ送信制御部は、シリアルデータ出力が所定の時間間隔で行われるように上記データ送信部を制御する請求項1記載のマイクロプロセッサ。 10

【請求項3】 上記データ送信制御部は、チップ内部のデバッグ情報が変化する毎にシリアルデータ出力が行われるように上記データ送信部を制御する請求項1記載のマイクロプロセッサ。

【請求項4】 上記データ送信制御部は、チップ外部からデータ転送の要求があった場合にシリアルデータ出力が行われるように上記データ送信部を制御する請求項1記載のマイクロプロセッサ。

【請求項5】 上記請求項1、2、3又は4記載のマイクロプロセッサと、このマイクロプロセッサからシリアル形式で出力されたデバッグ情報をパラレル形式に変換するための変換回路とを含み、上記プロセッサにターゲットプログラムを実行させることによって当該プログラムのデバッグを可能とするエミュレータ。 20

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マイクロプロセッサのチップ内部のデバッグ情報をチップ外部に出力するための技術に関し、例えばインサーキット・エミュレータに搭載されるエミュレーション専用のマイクロプロセッサ（エミュレーション用プロセッサという）に適用して有効な技術に関する。 30

【0002】

【従来の技術】 シングルチップマイクロコンピュータは、CPU（セントラル・プロセッシング・ユニット）を中心に所要の周辺回路が1個の半導体基板に含まれていて、特定用途若しくは特定ユーザ向けのものにあっては、その動作プログラムを保有するROMを内蔵する。一方、汎用利用可能なシングルチップマイクロコンピュータはその動作プログラムを内蔵せず、必要な動作プログラムをその用途に応じて外部メモリから得ることになる。そのようなマイクロコンピュータを応用したシステムの開発において、その応用システムのデバッグやそのシステムの詳細な評価を行うため、インサーキット・エミュレータが使用されている。かかるインサーキット・エミュレータは、ソフトウェア開発用の親計算機（ホストコンピュータ）などのシステム開発装置と、開発中の応用機器との間に接続され、その応用機器に含まれるマイクロプロセッサ（ターゲットマイクロプロセッサ）の 40 50

機能を代行する一方でデバッガとしての機能を持ち、詳細なシステムデバッグを支援する。

【0003】 尚、シングルチップマイクロコンピュータについて記載された文献の例としては、昭和63年12月株式会社日立製作所発行の「日立シングルチップマイクロコンピュータH8/532、HD6475328、HD6435328ハードウェアマニュアル」があり、また、インサーキット・エミュレータについて記載された文献の例としては、昭和63年10月1日に日立マイクロコンピュータエンジニアリング株式会社より発行された「日立マイコン技報（第2巻、第2号）」がある。

【0004】

【発明が解決しようとする課題】 エミュレーション用プロセッサのデバッグ情報、例えばレジスタ値、ポート値、内部バス値などを外部に出力するために、複数本の専用リード端子を当該プロセッサに設ける必要がある。しかしながら、エミュレーション用プロセッサのパッケージに取付け可能なリード端子数の制限により、デバッグのために必要となる全ての情報を外部に出力するのに必要とされる数だけ専用リード端子を設けることは困難である。このため、従来のエミュレーション用プロセッサにおいては、外部に出力されるデバッグ情報に制限があった。 50

【0005】 本発明の目的は、少ない専用リード端子数で、より多くのデバッグ情報の外部出力を可能とする技術を提供することにある。

【0006】 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0008】 すなわち、第1の手段として、チップ内部のデバッグ情報をシリアルデータに変換してそれをチップの外部に出力するためのデータ送信部と、このデータ送信部によるシリアルデータ出力を制御するためのデータ送信制御部とを含んでマイクロプロセッサを構成するものである。このとき、上記データ送信制御部は、シリアルデータ出力が所定の時間間隔で行われるように上記データ送信部を制御するように、また、チップ内部のデバッグ情報が変化する毎にシリアルデータ出力が行われるように、さらにはチップ外部からデータ転送の要求があった場合にシリアルデータ出力が行われるように構成することができる。

【0009】 そして第2の手段として、上記のように構成されたマイクロプロセッサと、このマイクロプロセッサからシリアル形式で出力されたデバッグ情報をパラレル形式に変換するための変換回路とを含んでエミュレータを構成するものである。

【0010】

【作用】上記した手段によれば、上記データ送信部は、チップ内部のデバッグ情報をシリアルデータに変換してそれをチップ外部に出力し、このことが、デバッグ情報の外部出力に要する専用リード端子数の減少を可能とする。

【0011】

【実施例】第1図には本発明の一実施例であるインサートキット・エミュレータを含むシステムが示される。

【0012】図1においてインサートキット・エミュレータは、エミュレータ本体40と、エミュレーションバス60を介して当該エミュレータ本体40に結合されたポッド70とを含む。ポッド70には、コネクタ76を介してインタフェースケーブル90が接続される。インタフェースケーブル90の先端は、マイクロプロセッサ応用機器としてのターゲットシステム80に設けられたターゲットプロセッサ取付け用ソケット（ICソケットなどと称される）に結合される。ポッド70にはソケット75が設けられ、このソケット75には、ターゲットシステム80に搭載されるべきマイクロプロセッサと等価なエミュレーション用プロセッサ74が搭載され、当該プロセッサ74によってターゲットプログラムの実行が可能とされる。このエミュレーション用プロセッサ74には複数のリード端子P1が設けられ、そのうちP100で示されるリード端子からは、後に詳述するようにチップ内部のデバッグ情報がシリアルデータとして出力されるようになっている。このリード端子P100には、当該リード端子P100から出力されたシリアルデータをパラレルデータに変換するための変換部73が結合され、当該変換部73の後段には、当該変換部73の
20 パラレル出力データを保持するためのラッチ回路72が配置される。ラッチ回路72の保持データはコネクタ71を介してエミュレータ本体40に伝達されるようになっている。

【0013】図2には上記エミュレータ本体40の詳細な構成例が示される。

【0014】図2に示されるように、エミュレーションバス60には、エミュレーション用プロセッサ74がターゲットマイクロプロセッサの機能を代行する際に当該プロセッサ74の所定の状態切換えを行うためのエミュレーション制御回路42、エミュレーション用プロセッサ74の制御状態やエミュレーションバス60の状態を監視することによってターゲットプログラムの実行を実質的に停止させるためのブレークコントロール回路43、エミュレーションバス60に与えられるアドレスやデータ並びに制御信号を逐次トレースして蓄えるトレース回路44、ターゲットシステム80に含まれるべきデータメモリやプログラムメモリを代行するための代行メモリ41がそれぞれ結合される。上記エミュレーション制御回路42、ブレークコントロール回路43、トレース
40

ス回路44、及び代行メモリ41は、システムバス45を通じてコントロール用マイクロプロセッサ（コントロールプロセッサと称する）46の制御を受けるようになっている。システムバス45には、ホストインタフェース47が結合され、このホストインタフェース47を介してシステム開発装置50が結合される。

【0015】図3には上記エミュレーション用プロセッサの74の構成例が示される。

【0016】図3に示されるように、エミュレーション用プロセッサ74は、特に制限されないが、CPU（中央処理装置）3、32kバイト記憶容量を持つROM（リード・オンリ・メモリ）5、1kバイトの記憶容量を持つRAM（ランダム・アクセス・メモリ）7、タイマ9、シリアルコミュニケーションインタフェース（SCI）11、A/D変換器13、割込みコントローラ15、並びに第1乃至第9ポート21～29、チップ内部のデバッグ情報をシリアルデータに変換するためのデバッグモニタ78などの機能ブロックを含み、それらは内部アドレスバス31や内部データバス33などに共通接続され、公知の半導体集積回路製造技術によって単結晶シリコンなどの一つの半導体基板に形成されている。

【0017】本実施例におけるエミュレーション用プロセッサ74の内蔵メモリは前記RAM7とROM5であり、RAM7はCPU3の作業領域又はデータの一時記憶領域として利用される。ROM5は、特に制限されないが、特定用途若しくは特定ユーザ向けの動作プログラムを保有し、マスクROM5によって構成される。このROM5はマトリクス配置された多数のメモリセルトランジスタを有し、ユーザの要求仕様に基づいた固有のホトマスクを用いて例えば所定のメモリセルトランジスタに選択的にイオンを注入して情報が書き込まれる。

【0018】さらに、本実施例プロセッサ74には、多数のリード端子、例えば第1乃至第9ポート21～29の入出力端子に結合されたリード端子P10～P17、P20～P24、P30～P37、P40～P47、P50～P57、P60～P63、P70～P77、P80～P87、P90～P97、さらに、上記デバッグモニタ78に結合されたリード端子P100～P104などが配置される。ここで、P100はシリアルデータD
40 TXDの出力用リード端子、P101はシリアルデータ出力のためのシリアルクロックDSCCK出力用のリード端子、P102～P104はシリアルデータ転送モード切換え信号入力用のリード端子とされる。

【0019】図4には上記デバッグモニタ78の構成例が示される。

【0020】図4に示されるように、このデバッグモニタ78は、チップ内のデバッグ情報例えば第3ポート23、第4ポート24の値をシリアルデータに変換してチップ外部に出力するためのシリアルデータ送信部78Aと、このシリアルデータ送信部78Aによるシリアルデ
50

ータ出力を制御するためのデータ送信制御部78Bとを含む。シリアルデータ送信部78Aは、内部データバス33や、第3ポート23、第4ポート24に結合され、パラレルデータとして得られるデバッグ情報をシリアルデータに変換してそれをリード端子P100から外部出力可能とする。データ送信制御部78Bは、上記シリアルデータ出力を制御する。このデータ送信制御部78Bには、データ転送モード切換えのための制御信号を取込むためのリード端子P102~P104が結合され、チップ外部からデバッグ情報転送モードの切換えが可能とされる。例えばデバッグ情報のシリアルデータ出力が所定の時間間隔で行われる第1モードや、チップ外部から転送要求があった場合にシリアルデータ出力を開始する第2モードの選択が可能とされる。この第2モードにおいてリード端子P102~P104は、チップ外部からシリアルデータ出力開始指示を取込むのに利用される。このようにデバッグ情報がシリアル形式でチップ外に出力されるように構成することにより、デバッグ情報のチップ外部出力のための専用端子は、シリアルデータDXTX Dの出力用リード端子P100と、シリアルクロックDSC K出力用のリード端子P101となり、各種デバッグ情報をパラレル形式でチップ外に出力するように構成された従来チップに比して、デバッグ情報出力のための専用端子の減少を図ることができる。換言すれば、デバッグ情報をシリアル形式で出力することにより、少ない専用リード端子数で、より多くのデバッグ情報を外部出力することができる。

【0021】上記実施例によれば以下の作用効果が得られる。

【0022】(1) デバッグモニタ78を含んでエミュレーション用プロセッサを構成することにより、当該プロセッサ内部のデバッグ情報がシリアルデータに変換されてチップ外部に出力されることから、少ない専用リード端子数で、より多くのデバッグ情報の外部出力が可能とされる。

【0023】(2) データ転送モード切換え信号用リード端子P102~P104を設けたことにより、チップ外部からの転送モード要求に応じてシリアルデータ転送モードの変更が可能とされる。

【0024】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0025】例えば、チップ内部のデバッグ情報が変化する毎にシリアルデータ出力が行われるようにデータ送信制御部78Bによって制御するようにしてもよい。また、デバッグ情報のシリアル出力が所定の時間間隔で行われる場合においてその時間間隔をチップ外部から変更可能としてもよい。また、上記実施例では、第3ポート23、第4ポート24の値をシリアルデータに変換して

チップ外部に出力するように構成したが、内部バスを拡張することにより他のポートの値、さらにはチップ内の各種レジスタの値、CPU3の内部バス値など、デバッグに利用され得る各種情報をシリアル形式でチップ外部に出力するように構成することができる。

【0026】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるエミュレーション用プロセッサに適用した場合について説明したが、本発明はそれに限定されるものではなく、ターゲットプロセッサなどの実チップに適用することもできる。

【0027】本発明は、少なくともデバッグ対象とされるターゲットプログラムを実行することを条件に適用することができる。

【0028】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0029】すなわち、データ送信部によって、チップ内部のデバッグ情報がシリアルデータに変換されてチップ外部に出力されることから、少ない専用リード端子数で、より多くのデバッグ情報の外部出力が可能とされる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るインサーキット・エミュレータを含むシステムの構成ブロック図である。

【図2】上記インサーキット・エミュレータにおけるエミュレータ本体の構成ブロック図である。

【図3】上記インサーキット・エミュレータに搭載されるエミュレーション用プロセッサの構成ブロック図である。

【図4】上記エミュレーション用プロセッサに含まれるデバッグモニタの構成ブロック図である。

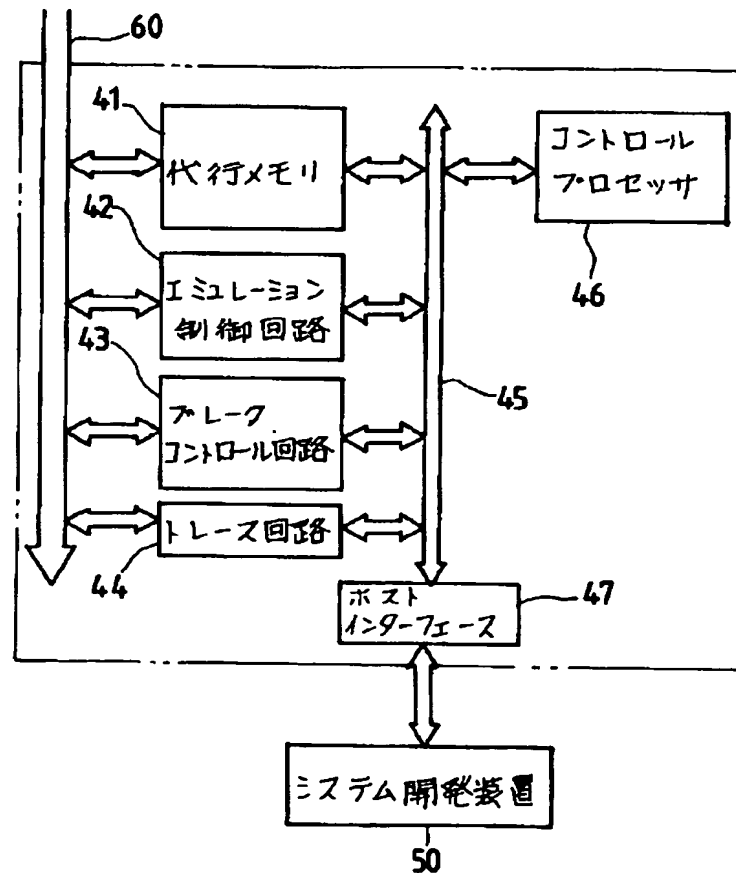
【符号の説明】

- 3 CPU
- 5 ROM
- 7 RAM
- 9 タイマ
- 11 SCI
- 13 A/D変換器
- 15 割込みコントローラ
- 21 第1ポート
- 22 第2ポート
- 23 第3ポート
- 24 第4ポート
- 25 第5ポート
- 26 第6ポート
- 27 第7ポート
- 28 第8ポート
- 29 第9ポート

7	40 エミュレータ本体	8	78 デバッグモニタ
	41 代行メモリ		78A シリアルデータ送信部
	42 エミュレーション制御回路		78B データ送信制御部
	43 ブレークコントロール回路		80 ターゲットシステム
	44 トレース回路		90 インタフェースケーブル
	45 システムバス		P10~P17 リード端子
	46 コントロールプロセッサ		P20~P24 リード端子
	47 ホストインタフェース		P30~P37 リード端子
	50 システム開発装置		P40~P47 リード端子
	60 エミュレーションバス	10	P50~P57 リード端子
	71 コネクタ		P60~P63 リード端子
	72 ラッチ回路		P70~P77 リード端子
	73 変換部		P80~P87 リード端子
	74 エミュレーション用プロセッサ		P90~P97 リード端子
	75 ソケット部		P100~P104 リード端子
	76 コネクタ		

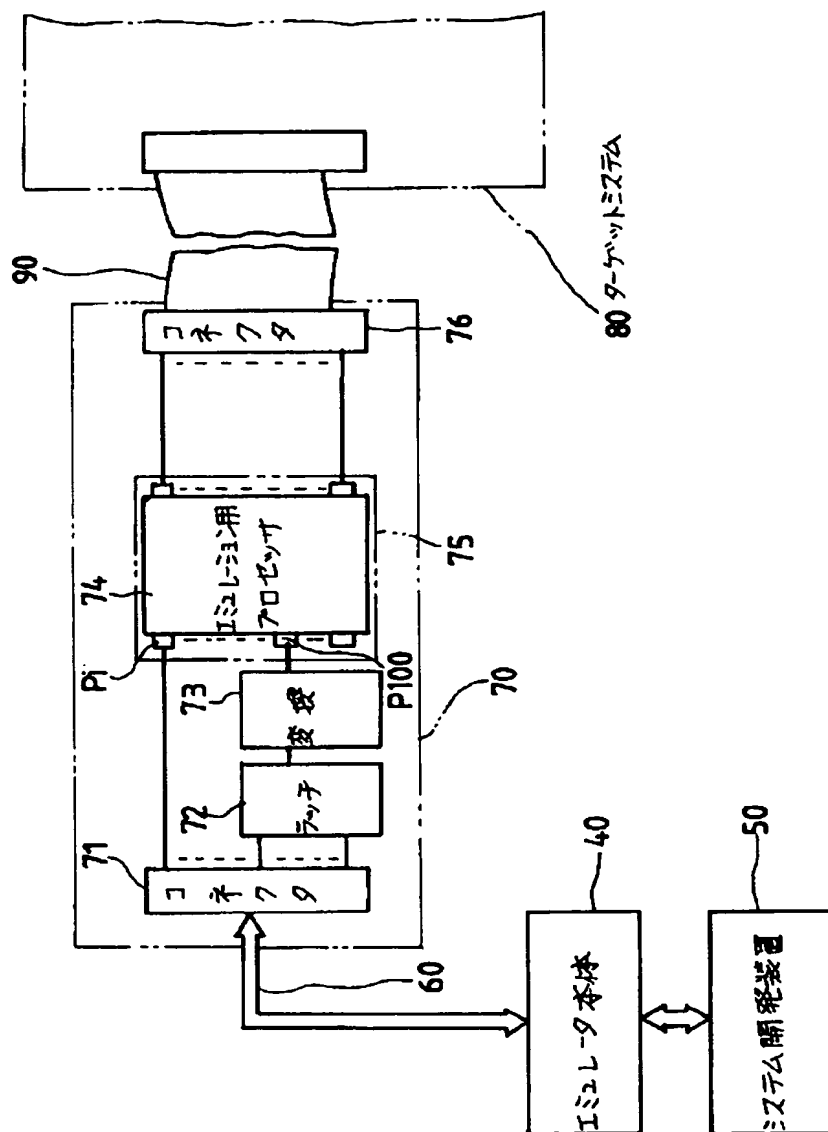
【図2】

【図 2】

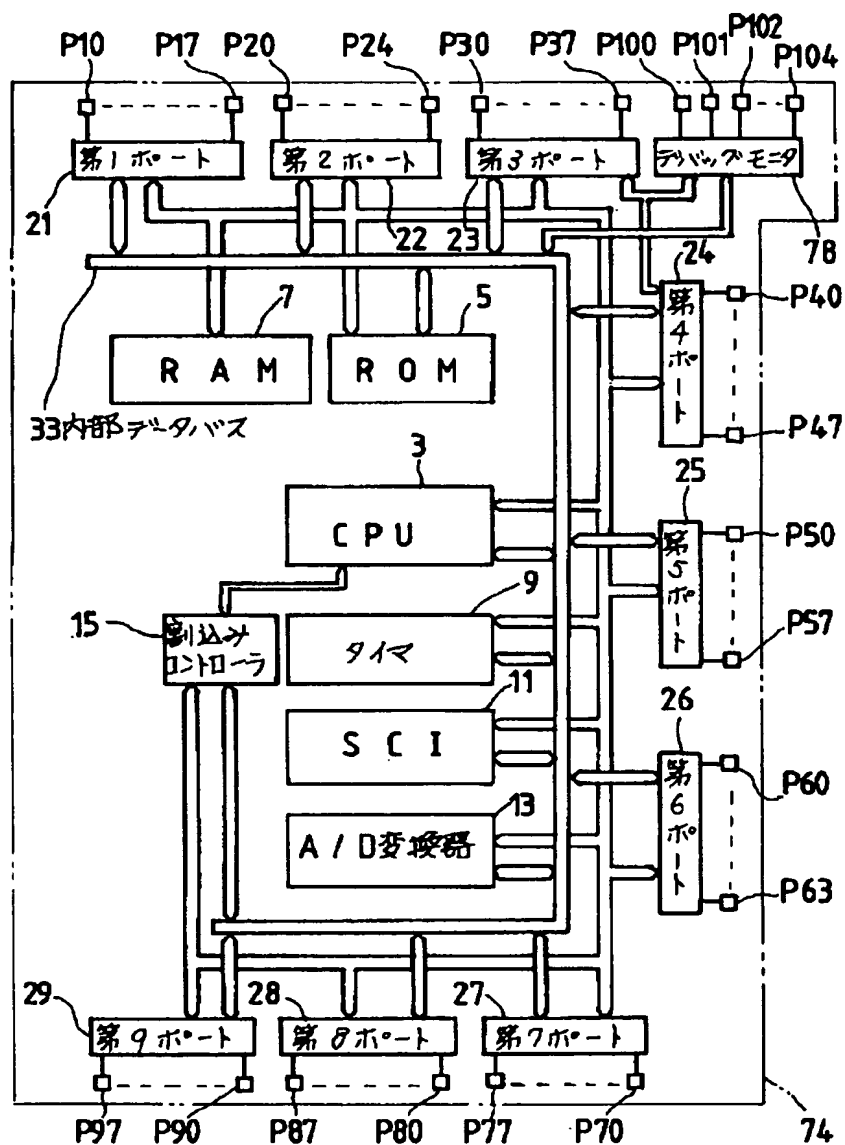


【図1】

【図1】



【图 3】



【図4】

【図 4】

